

明細書  
フラットディスプレイ装置及び集積回路

発明の背景

5 技術分野

本発明は、フラットディスプレイ装置及び集積回路に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。本発明は、電源電圧が高い側の回路ブロックからの処理結果を相補的にオンオフ動作するアクティブ素子により電源電圧の低い側に入力し、この高い側の電源電圧の立ち下がりによりこのアクティブ素子の出力を所定レベルに設定することにより、ディープスタンバイモード等において、一段と消費電力を少なくすることができる。

10 背景技術

近年、例えば携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、水平駆動回路、垂直駆動回路等である液晶表示パネルの駆動回路を一体に集積化して構成するものが提供されるようになされている。

すなわちこの種の液晶表示装置は、液晶セル、この液晶セルのスイッチング素子であるポリシリコンTFT (Thin Film Transistor ; 薄膜トランジスタ) 、保持容量とによる画素をマトリックス状に配置して表示部が形成される。液晶表示装置では、このようにして形成されてなる表示部の各画素を垂直駆動回路によるゲート線の駆動によりライン単位で順次選択する。また各画素の階調を示す階調データを水平駆動回路により順次循環的にサンプリングしてライン単位でまとめ、この階調データのデジタルアナログ変換結果により各信号線を駆動することにより、ゲート線により選択された各画素を階調データに応じて駆動し、これらにより所望の画像を表示するようになされている。

このような液晶表示装置では、表示部の周囲に設けた駆動回路の一部であるDC-DCコンバータで、外部から供給される電源から動作に必要な電源を生成し、その結果得られる複数系統の電源により動作するようになされている。具体的

には、例えば外部から供給される 3 [V] の電源から 6 [V] の電源と -3 [V] の電源とを生成し、これら -3 [V] 、 3 [V] 、 6 [V] の電源により動作するようになされている。

これによりこの種の液晶表示装置では、例えば第 1 図に示すように、電源電圧 5 が 6 [V] の回路ブロックである 6 V 系ロジック電子回路 1 により高速度で各種処理を実行し、この高速度の処理結果により電源電圧が 3 [V] の回路ブロックである 3 V 系ロジック電子回路 2 を駆動するようになされている。

このような液晶表示装置が適用される機器の 1 つである携帯電話においては、例えば特開平 10-210116 号公報に開示されているように、待機状態において液晶表示部の表示を停止することにより、バッテリの無駄な消費を防止するようになされている。

具体的に、携帯電話では、全体の動作を制御するコントローラの制御により液晶表示装置のバックライトが消灯され、その分、消費電力を低減するようになされている。また液晶表示装置の動作モードをいわゆるディープスタンバイモード 15 に設定するようになされている。

ここでディープスタンバイモードは、液晶表示装置において、外部から電源が供給されてはいるものの、動作基準である各種クロックの供給が停止されることにより駆動回路が動作を停止した状態の動作モードである。

すなわちこのように液晶表示装置の動作を停止する場合にあって、最も簡易な方法は、液晶表示装置に対する電源の供給を停止する方法である。しかしながらこのような電源の供給停止を液晶表示装置の外部で実行すると、その分、携帯電話においては構成が複雑になる。これに対して外部から供給される電源を液晶表示装置の内部で遮断する方法も考えられるが、この方法の場合、電源の制御に係るアクティブ素子の構成が大型化し、その分、液晶表示装置自体の形状が大型化 25 する。

これによりこの種の液晶表示装置では、ディープスタンバイモードが設けられ、このディープスタンバイモードにより、クロックの供給が停止されて動作を停止し、電力消費を低減するようになされている。またこのディープスタンバイモードでは、液晶表示装置内で最も低い電源電圧を出力するように DC-DC コン

バータの動作を切り換え、これにより電源電圧の異なる回路ブロック間の貫通電流を防止するようになされている。

すなわち第2図は、この種の液晶表示装置におけるディジタルアナログ変換回路の一部の構成を示すブロック図である。この種の液晶表示装置においては、所定の生成基準電圧を基準電圧発生回路で抵抗分圧して複数の基準電圧を生成し、これら複数の基準電圧を階調データに応じて選択出力することにより、階調データをディジタルアナログ変換処理するようになされ、このディジタルアナログ処理結果により各画素を駆動するようになされている。また例えばライン反転により画素を駆動する場合、この生成基準電圧の極性を水平走査周期で切り換えるようになされている。

第2図は、このような生成基準電圧の極性の切り換え、基準電圧の生成に係る回路ブロックを示す図であり、液晶表示装置においては、階調データに同期した各種の基準信号を電源電圧が6[V]の回路ブロックにより処理することにより、生成基準電圧の極性切り換え信号を生成し、6[V]の電源電圧で動作するバッファ回路3、4を介して、この極性切り換え信号、極性切り換え信号の反転信号を基準電圧発生回路5に出力する。

基準電圧発生回路5は、3[V]の電源電圧で動作する回路ブロックであり、CMOS(Complementary Metal Oxide Semiconductor)によるスイッチ回路6及び7をバッファ回路3、4の出力信号により駆動することにより、これらスイッチ回路6及び7の接点を相補的に切り換えて、抵抗ブロック8に出力する生成基準電圧の極性を切り換える。しかしてこの第2図に示す例では、+3[V]と-3[V]とで生成基準電圧を切り換えることになる。

基準電圧発生回路5は、複数の抵抗の直列回路により抵抗ブロック8が作成され、この抵抗ブロック8により生成基準電圧を抵抗分圧することにより、基準電圧V1～V30を生成する。

このような構成において、単にDC-DCコンバータの動作を停止させると、電源電圧6[V]の回路ブロックにおいて電源電圧が0[V]に立ち下がり、その結果、バッファ回路3、4の出力が0[V]に立ち下がった状態に保持される。この場合このバッファ回路3、4の出力を受けるスイッチ回路6、7において

は、各スイッチ回路 6、7 を構成するスイッチ回路 6A、6B、7A、7B の何れもオン状態に保持され、これによりスイッチ回路 6、7 で貫通電流 I6、I7 が発生する。

この場合、電源電圧 3 [V] の回路ブロックについても、電源を立ち下げるこ  
5 とにより貫通電流を防止できるものの、このように電源電圧 3 [V] の回路ブロ  
ックの電源を立ち下げる場合にあっては、結局、液晶表示装置に供給する電源自  
体を遮断することに他ならず、上述したように液晶表示装置が大型化する等の問  
題がある。これにより液晶表示装置では、この場合、DC-DCコンバータの動  
作の切り換えにより 6 [V] の電源を 3 [V] に立ち下げ、貫通電流を防止する  
10 ようになされている。

しかしながらこのようにDC-DCコンバータの動作の切り換えにより 6 [V]  
] の電源を 3 [V] に立ち下げる場合であっても、結局、各アクティブ素子にお  
いては、電源電圧 3 [V] によるリーク電流が流れ続けることになる。このよう  
なリーク電流を少なくすることができれば、ディープスタンバイモードにおいて  
15 、一段と消費電力を少なくすることができる。

### 発明の開示

本発明は以上の点を考慮してなされたもので、ディープスタンバイモード等に  
おいて、一段と消費電力を少なくすることができるフラットディスプレイ装置及  
20 び集積回路を提案しようとするものである。

かかる課題を解決するため本発明においては、フラットディスプレイ装置に適  
用して、駆動回路は、第 1 の電源電圧により動作する第 1 の回路ブロックと、第  
1 の回路ブロックによる処理結果を処理する、第 1 の電源電圧より低い第 2 の電  
源電圧により動作する第 2 の回路ブロックとを有し、第 2 の回路ブロックは、相  
25 様的にオンオフ動作するアクティブ素子に、第 1 の回路ブロックの 1 つの処理結  
果の入力を受け、第 1 の回路ブロックは、第 1 の電源電圧の立ち下がりにより、  
アクティブ素子の出力を所定レベルに保持するように、1 つの処理結果のレベル  
を設定するレベル設定回路を有するようにする。

本発明の構成により、フラットディスプレイ装置に適用して、駆動回路は、第

1 の電源電圧により動作する第 1 の回路ブロックと、第 1 の回路ブロックによる処理結果を処理する、第 1 の電源電圧より低い第 2 の電源電圧により動作する第 2 の回路ブロックとを有し、第 2 の回路ブロックは、相補的にオンオフ動作するアクティブ素子に、第 1 の回路ブロックの 1 つの処理結果の入力を受け、第 1 の回路ブロックは、第 1 の電源電圧の立ち下がりにより、アクティブ素子の出力を所定レベルに保持するように、1 つの処理結果のレベルを設定するレベル設定回路を有するようにすれば、相補的にオンオフ動作するアクティブ素子に、第 1 の回路ブロックの 1 つの処理結果の入力を受けることにより、第 1 の電源電圧の立ち下がりによりこの第 1 の処理結果が何れのレベルになる場合でも、アクティブ素子における貫通電流の発生を防止することができる。またこのアクティブ素子の出力を所定レベルに保持するように、1 つの処理結果のレベルを設定するレベル設定回路を有することにより、このレベル設定回路により表示部の意図しない表示を防止するようにアクティブ素子の出力レベルを設定することができる。これらにより本発明の構成によれば、各種の不都合を防止するようにして第 1 の電源電圧を完全に立ち下げることができ、その分、第 1 の電源電圧に係る回路ブロックにおけるリーク電流を低減して従来に比して一段と消費電力を少なくすることができる。

また本発明においては、集積回路に適用して、第 2 の回路ブロックは、相補的にオンオフ動作するアクティブ素子に、第 1 の回路ブロックの 1 つの処理結果の入力を受け、第 1 の回路ブロックは、第 1 の電源電圧の立ち下がりにより、アクティブ素子の出力を所定レベルに保持するように、1 つの処理結果のレベルを設定するレベル設定回路を有するようにする。

これにより本発明の構成によれば、ディープスタンバイモード等において、一段と消費電力を少なくすることができる集積回路を提供することができる。

25

本発明によれば、ディープスタンバイモード等において、一段と消費電力を少なくすることができる。

#### 図面の簡単な説明

第1図は、電源電圧の異なる回路ブロックの説明に供するブロック図である。

第2図は、貫通電流の説明に供する接続図である。

第3図は、本発明の実施例1に係る液晶表示装置を示すブロック図である。

第4図は、第3図の液晶表示装置の水平駆動回路の一部を示すブロック図である。  
5 る。

第5図は、第3図の液晶表示装置に適用されるバッファ回路を示す接続図である。

第6図は、第5図のバッファ回路における電源立ち下げ時の各部の遷移を示す  
タイムチャートである。

10 第7図は、第5図のバッファ回路における電源立ち上げ時の各部の遷移を示す  
タイムチャートである。

第8図は、第3図の液晶表示装置のCS駆動回路を示すブロック図である。

第9図は、第3図の液晶表示装置のVCOM駆動回路を示すブロック図である  
。  
15

### 発明を実施するための最良の形態

以下、適宜図面を参照しながら本発明の実施例を詳述する。

#### (1) 実施例の構成

第3図は、本発明の実施例1に係る液晶表示装置を示すブロック図である。こ  
20 の液晶表示装置11においては、液晶セル12、この液晶セル12のスイッチン  
グ素子であるポリシリコンTFT13、保持容量14とにより画素が形成され、  
この画素をマトリックス状に配置して表示部16が形成される。液晶表示装置1  
1は、この表示部16を形成する各画素が、信号線LS及びゲート線LGにより  
それぞれ水平駆動回路17及び垂直駆動回路18に接続され、垂直駆動回路18  
25 によるゲート線LGの駆動により順次画素を選択して水平駆動回路17からの駆  
動信号により各画素の階調を設定することにより、所望する画像を表示するよう  
になされている。

すなわち液晶表示装置11において、タイミング発生回路(TG)19は、階  
調データD1に同期したマスタークロック、水平同期信号、垂直同期信号等の各

種タイミング信号を入力し、これらの各種タイミング信号を処理してこの液晶表示装置 11 の動作に必要な各種タイミング信号を出力する。

垂直駆動回路 18 は、タイミング発生回路 19 から出力されるタイミング信号により各ゲート線 LG を駆動することにより、水平駆動回路 17 における処理に 5 連動して順次ライン単位で画素を選択する。

水平駆動回路 17 は、タイミング発生回路 19 から出力されるタイミング信号により各画素の階調を示す階調データ D1 を順次循環的に取り込んで各信号線 LS を駆動する。すなわち水平駆動回路 17 において、シフトレジスタ 20 は、階調データ D1 を順次循環的にサンプリングすることにより、階調データをライン 10 単位でまとめ、1 ライン分の階調データを水平プランギング期間の所定のタイミングでデジタルアナログ変換回路 (D A C) 21 に出力する。

デジタルアナログ変換回路 21 は、シフトレジスタ 20 から出力される階調データ D1 をそれぞれデジタルアナログ変換処理して出力する。バッファ回路部 22 は、このデジタルアナログ変換回路 21 の出力信号により各信号線 LS を駆動し、これにより水平駆動回路 17 においては、階調データ D1 に応じた階調により表示部 16 の各画素を駆動して所望の画像を表示するようになされている。

C S 駆動回路 23、V COM 駆動回路 24 は、それぞれ保持容量 14、液晶セル 12 の TFT 13 が接続されていない側の電極にそれぞれ接続された C S 配線 20 C S、V COM 配線 V COM について、C S 配線 C S、V COM 配線 V COM の電位を例えば水平走査周期で切り換え、これによりこの液晶表示装置 11 では、それぞれ保持容量 14、液晶セル 12 の電極電位を切り換えてプリチャージの処理を実行し、各液晶セル 12 の劣化を防止するようになされている。

D C-D C コンバータ (D C-D C) 25 は、この液晶表示装置 11 の外部から入力される電源よりこの液晶表示装置 11 の動作に必要な電源を生成して出力する。具体的に、D C-D C コンバータ 25 は、この外部から入力される電源として電圧 3 [V] の電源が適用され、この電圧 3 [V] の電源より電圧 6 [V] 、電圧 -3 [V] の電源を生成する。これにより液晶表示装置 11 では、内蔵の電源回路において、外部入力の電源より動作に必要な電源を生成して複数系統の

電源により動作するようになされている。またDC-DCコンバータ25は、上位のコントローラによるディープスタンバイモードへの動作モードの切り換えにより動作を停止し、それぞれ電圧6[V]、電圧-3[V]の電源については、電源電圧を0[V]に立ち下げるようになされている。なお液晶表示装置11では、このディープスタンバイモードにおいても、電圧3[V]の電源については、引き続き供給されるようになされている。

第4図は、ディジタルアナログ変換回路21を周辺構成と共に示すブロック図である。このディジタルアナログ変換回路21では、基準電圧発生回路31で生成基準電圧を抵抗分圧して複数の基準電圧V1～V30を生成し、この基準電圧V1～V30を各階調データD1に応じて選択出力することにより、階調データD1をディジタルアナログ変換処理する。なおこの第4図に示す構成において、第2図について上述したディジタルアナログ変換回路と同一の構成は、対応する符号を付して示し、重複した説明は省略する。

すなわち基準電圧発生回路31において、スイッチ回路32は、タイミング発生回路19から出力される切り換え信号により相補的にオンオフ状態に切り換わるスイッチ回路32A及び32Bの一端がそれぞれ電圧3[V]の基準電圧ライン、グランドラインに接続され、これらスイッチ回路32A及び32Bの他端が抵抗ブロック8の一端に接続される。またスイッチ回路33は、タイミング発生回路19から出力される切り換え信号の反転信号により相補的にオンオフ状態に切り換わるスイッチ回路33A及び33Bの一端がそれぞれ電圧3[V]の基準電圧ライン、グランドラインに接続され、これらスイッチ回路33A及び33Bの他端が抵抗ブロック8の他端に接続される。これらによりスイッチ回路32、33は、相補的に、スイッチ回路32A、32B、スイッチ回路33A、33Bにより基準電圧ライン、グランドラインを選択する。

これにより基準電圧発生回路31では、抵抗ブロック8に印加される生成基準電圧が1水平走査期間毎に切り換えられるようになされ、この極性が切り換えられてなる生成基準電圧を抵抗ブロック8により抵抗分圧して複数の基準電圧V1～V30を生成するようになされている。

基準電圧発生回路31では、これらスイッチ回路32A及び33AがPMOS

トランジスタにより形成されるのに対し、スイッチ回路32B及び33BがNMOSトランジスタにより構成される。これによりスイッチ回路32、33は、相補的にオンオフ動作するアクティブ素子であるPMOSトランジスタ及びNMOSトランジスタに、それぞれ前段の回路ブロックの1つの処理結果の入力を受け  
5、前段の回路ブロックにおいて電源電圧が立ち下がって、アクティブ素子の入力レベルが何れのレベルになった場合でも、これらアクティブ素子における貫通電流の発生を防止することができるようになされている。

またさらに基準電圧発生回路31では、タイミング発生回路19から出力される切り換え信号及び切り換え信号の反転信号がディープスタンバイモードにおいてそれぞれ3[V]に保持されると、抵抗ブロック8の両端電位を0[V]に保持し、表示部16に意図しない表示が表れないようになされている。

基準電圧セレクタ35は、それぞれ基準電圧発生回路31から出力される基準電圧V1～V30を入力し、この入力した基準電圧V1～V30を階調データにより選択出力し、これによりこのディジタルアナログ変換回路21では、階調データD1のディジタルアナログ変換結果を出力するようになされている。

しかししてこの液晶表示装置11においては、ディジタルアナログ変換回路21の各回路ブロックが3[V]の電源電圧により動作するのに対し、このディジタルアナログ変換回路21の動作基準を出力するタイミング発生回路19においては、電源電圧6[V]により動作するようになされ、この動作基準である切り換え信号、切り換え信号の反転信号をバッファ回路41A、41Bより出力するようになされている。

第5図は、このバッファ回路41A、41Bの構成を示す接続図である。なおバッファ回路41A、41Bは、処理対象である信号が異なる点を除いて同一に構成されることにより、以下の説明においては、バッファ回路41Aについて説明し、重複した説明は省略する。

バッファ回路41Aは、ゲート及びドレインがそれぞれ共通に接続されたNMOSトランジスタQ1及びPMOSトランジスタQ2からなるCMOSインバータと、同様のNMOSトランジスタQ3及びPMOSトランジスタQ4からなるCMOSインバータとが直列に接続され、トランジスタQ3及びQ4によるCM

OSインバータの出力を切り換え信号又は切り換え信号の反転信号として出力する。これらのCMOSインバータのうち、先頭段のトランジスタQ1及びQ2によるCMOSインバータは、電源電圧6[V]により動作するようになされ、これによりディープスタンバイモードによりDC-DCコンバータ25が動作を停止すると、出力を0レベルに立ち下げるようになされている。

これに対してこのインバータの出力を基準電圧発生回路31に出力するトランジスタQ3及びQ4によるインバータは、電源切り換え回路46により、通常の動作状態においては、電源電圧6[V]により動作するのに対し、ディープスタンバイモードにおいては、電源電圧3[V]により動作するようになされている。またレベル設定回路47により、ディープスタンバイモードにおいて入力レベルがLレベルに設定され、これにより出力レベルを3[V]に保持するようになされている。

すなわちタイミング発生回路19は、第6図において時点 $t_1$ により示すように、コントローラによりディープスタンバイモードへの動作モードの切り換えが指示されると、DC-DCコンバータ25が動作を停止することにより、電源電圧6[V]の回路系より出力されるコントロール信号STBの論理レベルが立ち下がり（第6図（C））、その後、階調データD1、各種基準信号の供給が停止される（第6図（A）及び（B））。なおこの第6図において、MCKは、階調データD1に同期したマスタークロックであり、Hsync、Vsyncはそれぞれ水平同期信号及び垂直同期信号である。

電源切り換え回路46は、このコントロール信号STBが、電源電圧6[V]の回路ブロックによるインバータ48に入力され、トランジスタQ3及びQ4によるインバータの電源ラインと、6[V]の電源ラインとを接続するPMOSトランジスタQ5に供給されるようになされている。これにより電源切り換え回路46は、通常の動作モードによりコントロール信号STBの論理レベルが立ち上がっている場合には、トランジスタQ5をオン状態に保持し、トランジスタQ3及びQ4によるインバータの電源電圧を6[V]に保持するようになされている。またディープスタンバイモードによりコントロール信号STBの論理レベルが立ち下がると（第6図（E））、トランジスタQ5をオフ状態に設定し、トラン

ジスタQ 3 及びQ 4 によるインバータの電源ラインを0 [V] に立ち下がってなる6 [V] の電源ラインから切り離すようになされている。

さらに電源切り換え回路4 6 は、電源電圧6 [V] の回路ブロックによるレベルシフト回路4 9 にコントロール信号S T B を入力し、電源電圧3 [V] による回路ブロックに対応するようにこのコントロール信号S T B をレベルシフトさせ、このレベルシフト回路4 9 の出力を電源電圧3 [V] の回路ブロックによるバッファ回路5 0 に入力する。電源切り換え回路4 6 は、トランジスタQ 3 及びQ 4 によるインバータの電源ラインと、3 [V] の電源ラインとを接続するPMOSトランジスタQ 6 に、このバッファ回路5 0 の出力が供給されるようになされている。  
これにより電源切り換え回路4 6 は、通常の動作モードによりコントロール信号S T B の論理レベルが立ち上がっている場合には、トランジスタQ 6 をオフ状態に保持してトランジスタQ 3 及びQ 4 によるインバータの電源ラインを3 [V] の電源ラインから切り離すのに対し、ディープスタンバイモードによりコントロール信号S T B の論理レベルが立ち下がると、トランジスタQ 6 をオン状態に設定し、トランジスタQ 3 及びQ 4 によるインバータの電源ラインを3 [V] の電源ラインに接続するようになされている。

これらにより電源切り換え回路4 6 は、コントロール信号S T B を基準にしてトランジスタQ 3 、Q 4 によるバッファ回路の電源電圧を通常の動作状態とディープスタンバイモードとで切り換えるようになされている。

20 レベル設定回路4 7 は、インバータ4 8 の出力により、トランジスタQ 1 及びQ 2 の出力ラインと6 [V] の電源ラインとの間に配置されたPMOSトランジスタQ 8 をオンオフ制御し、これにより通常の動作モードにおいては、トランジスタQ 8 をオフ状態に設定してトランジスタQ 1 及びQ 2 によるインバータ出力をトランジスタQ 3 及びQ 4 によるインバータに出力し、ライン反転に対応する  
25 ように基準電圧発生回路3 1 における生成基準電圧の極性を切り換える。これに對してディープスタンバイモードにおいては、トランジスタQ 8 をオン状態に設定してトランジスタQ 3 及びQ 4 によるインバータ入力をLレベルに保持し、電圧6 [V] の電源ラインが完全に0 [V] に立ち下がった場合にあって、基準電圧発生回路3 1 における抵抗ブロック8 の両端電位を0 [V] に保持し、さらに

はスイッチ回路32、33における貫通電流を防止するようになされている。

なお第7図は、第6図との対比により、ディープスタンバイモードから通常の動作モードへの遷移を示すタイムチャートである。

これらによりこの液晶表示装置11では、6[V]の電源電圧と3[V]の電源電圧とが、それぞれ第1の電源電圧と、この第1の電源電圧より低い第2の電源電圧とを構成し、階調データD1のディジタルアナログ変換処理に係る駆動回路において、タイミング発生回路19が、第1の電源電圧により動作する第1の回路ブロックを構成し、基準電圧発生回路31が、この第1の回路ブロックによる処理結果を処理する、第2の電源電圧により動作する第2の回路ブロックを構成するようになされている。

また基準電圧発生回路31のスイッチ回路32A、32B又はスイッチ回路33A、33Bが、第1の回路ブロックの1つの処理結果の入力を受け、相補的にオンオフ動作するアクティブ素子を構成し、バッファ回路41A又は41Bのレベル設定回路47が、第1の電源電圧の立ち下がりにより、先のアクティブ素子の出力を所定レベルに保持するように、バッファ回路出力である処理結果のレベルを設定するレベル設定回路を構成するようになされている。

またバッファ回路41Aにおいて、トランジスタQ1及びQ2によるインバータが、第1の電源電圧により動作して、処理結果を出力する第1のインバータを構成し、トランジスタQ3及びQ4によるインバータが、第1のインバータの出力を第2の回路ブロックである基準電圧発生回路31に出力する第2のインバータを構成し、電源切り換え回路46が、第1の電源の立ち下がりにより、第2のインバータの電源電圧を第1の電源電圧から第2の電源電圧に切り換える電源切り換え回路を構成するようになされている。

第8図は、CS駆動回路23を周辺構成と共に示すブロック図である。CS駆動回路23においては、タイミング発生回路19から出力される切り換え信号により、水平走査期間毎に、CS線CSの電位を3[V]と0[V]とで切り換える。すなわちCS駆動回路23は、基準電圧発生回路31と同様に、相補的にオンオフ状態に切り換わるPMOSトランジスタ及びNMOSトランジスタによるスイッチ回路60A及び60Bによるスイッチ回路60と、同様のPMOSト

ンジスタ及びNMO Sトランジスタによるスイッチ回路6 1 A及び6 1 Bによるスイッチ回路6 1 とが設けられ、これらスイッチ回路6 0、6 1 の出力がCS線CSに出力される。

このCS駆動回路2 3 の構成に対応して、タイミング発生回路1 9においては5、第5図について上述したと同一構成によるバッファ回路6 3、6 4により、これらスイッチ回路6 0、6 1 の切り換え信号を出力する。これによりこの液晶表示装置1 1 では、CS駆動回路2 3 についても、電圧6 [V] の電源ラインが完全に0 [V] に立ち下がった場合にあって、スイッチ回路6 0、6 1 における貫通電流を防止し、CS線CSの電位を0 [V] に保持するようになされている。

10 第9図は、V COM駆動回路2 4 を周辺構成と共に示すブロック図である。V COM駆動回路2 4においても、タイミング発生回路1 9 から出力される切り換え信号により、水平走査期間毎に、V COM線V COMの電位を3 [V] と0 [V] とで切り換える。すなわちV COM駆動回路2 4 は、基準電圧発生回路3 1と同様に、相補的にオンオフ状態に切り換わるPMOSトランジスタ及びNMO 15 Sトランジスタによるスイッチ回路6 5 A及び6 5 Bによるスイッチ回路6 5 と、同様のPMOSトランジスタ及びNMO Sトランジスタによるスイッチ回路6 6 A及び6 6 Bによるスイッチ回路6 6 とが設けられ、これらスイッチ回路6 5 、6 6 の出力がV COM線V COMに出力される。

このV COM駆動回路2 4 の構成に対応して、タイミング発生回路1 9においては、第5図について上述したと同一構成によるバッファ回路6 7、6 8により20、これらスイッチ回路6 5、6 6 の切り換え信号を出力する。これによりこの液晶表示装置1 1 では、V COM駆動回路2 4 についても、電圧6 [V] の電源ラインが完全に0 [V] に立ち下がった場合にあって、スイッチ回路6 5、6 6 における貫通電流を防止し、V COM線V COMの電位を0 [V] に保持するよう25になされている。

これらにより液晶表示装置1 1 では、プリチャージの処理に係る駆動回路において、タイミング発生回路1 9 が、第1の電源電圧により動作する第1の回路ブロックを構成し、CS駆動回路2 3 、V COM駆動回路2 4 が、それぞれこの第1の回路ブロックによる処理結果を処理する、第2の電源電圧により動作する第

2の回路ブロックを構成するようになされている。

## (2) 実施例の動作

以上の構成において、この液晶表示装置11では（第3図）、描画に係るコントローラ等から各画素の階調を指示する階調データD1がラスタ走査順に入力され、この階調データD1が水平駆動回路17のシフトレジスタ20により順次サンプリングされてライン単位でまとめられ、ディジタルアナログ変換回路21に転送される。階調データD1は、このディジタルアナログ変換回路21におけるディジタルアナログ変換処理によりアナログ信号に変換され、このアナログ信号により表示部16の各信号線LSが駆動される。これにより液晶表示装置11では、垂直駆動回路18によるゲート線LGの制御により順次選択されてなる表示部16の各画素が、水平駆動回路17により駆動されて階調データD1による画像が表示部16に表示される。

このようにして表示部16の信号線LSを駆動する水平駆動回路17においては（第4図）、基準電圧発生回路31において生成基準電圧を抵抗ブロック8で抵抗分圧して階調データD1の各階調に対応する基準電圧V1～V30が生成され、基準電圧セレクタ35において、各階調データD1に応じてこの基準電圧V1～V30が選択されることにより、階調データD1がディジタルアナログ変換処理され、このディジタルアナログ変換処理結果がバッファ回路部22を介して信号線LSに供給される。

このようなディジタルアナログ変換処理において、液晶表示装置11では、タイミング発生回路19からの出力により、スイッチ回路32、33が相補的に出力電圧を切り換えることにより、水平走査周期毎に、抵抗ブロック8への印加電圧の極性が切り換えられ、これにより生成基準電圧の極性が水平走査周期毎に切り換えられる。またCS駆動回路23、VCOM駆動回路24において（第8図及び第9図）、同様に、タイミング発生回路19からの出力により、スイッチ回路60、61及びスイッチ回路65、66が相補的に出力電圧を切り換えることにより、水平走査毎に、保持容量14の電極電位、液晶セル12の電極電位がそれぞれ所定電位に切り換えられる。これにより液晶表示装置11では、いわゆるライン反転により表示部16を駆動し、またこのライン反転に対応するようにブ

リチャージの処理が実行されて各液晶セル12の劣化が防止される。

液晶表示装置11では、外部入力により3[V]の電源が入力され、DC-DCコンバータ25において、この外部入力の電源より6[V]及び-3[V]の電源が生成される。液晶表示装置11では、タイミング発生回路19が電圧6[V]により高速度で動作して各回路ブロックのタイミング信号を生成するのに対し、このタイミング発生回路19の処理結果であるタイミング信号の入力を受ける基準電圧発生回路31、CS駆動回路23、VCOM駆動回路24が3[V]の電源により動作し、これにより全体の電力消費が低減される。

液晶表示装置11では、このようなタイミング発生回路19からのタイミング信号の入力を受ける基準電圧発生回路31、CS駆動回路23、VCOM駆動回路24において、各スイッチ回路32、33、60、61、65、66がそれぞれ相補的にオンオフ動作するアクティブ素子であるPMOSトランジスタによるスイッチ回路32A、33A、60A、61A、65A、66A、NMOSトランジスタによるスイッチ回路32B、33B、60B、61B、65B、66Bにより構成されて、これらアクティブ素子にそれぞれ1つの制御信号の入力を受けるようになされ、これによりタイミング発生回路19からの出力レベルが如何なるレベルを取る場合でも、各スイッチ回路32、33、60、61、65、66においては、それぞれアクティブ素子が同時にオン状態となる場合を確実に防止することができる。

これにより液晶表示装置11では、DC-DCコンバータ25の動作を完全に停止して電源電圧6[V]による回路ブロックに対して電源の供給を停止するようにも、電源電圧6[V]による回路ブロックと、電源電圧3[V]による回路ブロックとの間のインターフェースにおいて、貫通電流の発生を防止することができようになされている。これにより液晶表示装置11では、上位のコントローラよりディープスタンバイモードへの動作の切り換えが指示されると、DC-DCコンバータ25が動作を完全に停止して電源電圧6[V]の回路ブロックであるタイミング発生回路19への電源供給が停止され、従来に比して一段と消費電力が低減される。すなわち従来のディープスタンバイモードのように、6[V]の電源を3[V]に立ち下げる場合にあっては、結局、電源電圧6[V]の

回路ブロックに電源電圧3 [V] によるリーク電流が流れ続けるのに対し、この液晶表示装置11のように、6 [V] の電源を完全に立ち下げるようすれば、このようなリーク電流をも防止し得、その分、従来に比して電力消費を一段と低減することができる。

5 しかしながらこのようにすると、各スイッチ回路32、33、60、61、65、66の貫通電流については防止し得るもの、各スイッチ回路32、33、60、61、65、66の出力電位が立ち上がる場合も発生し、これにより表示部16に意図しない表示が表示され、さらにはディープスタンバイモードにおいて、液晶セル12、保持容量14に一定の電界を印加し続ける恐れがある。

10 これにより液晶表示装置11では（第5図）、これらスイッチ回路32、33、60、61、65、66の切り換え信号を出力するタイミング発生回路のバッファ回路41A、41B、63、64、67、68において、これらスイッチ回路32、33、60、61、65、66の出力レベルが所定レベルとなるように、レベル設定回路47によりバッファ回路41A、41B、63、64、67、68の出力レベルが設定される。またこのようなレベル設定回路47によるレベル設定の前提として、電源切り換え回路46により最終段のインバータについては、6 [V] の電源電圧の立ち下がりにより動作用電源が切り換えられる。

すなわちバッファ回路41A、41B、63、64、67、68においては、トランジスタQ1及びQ2によるインバータと、トランジスタQ3及びQ4によるインバータとを順次介して、各スイッチ回路32、33、60、61、65、66に切り換え信号が outputされ、トランジスタQ1及びQ2によるインバータが電源電圧6 [V] により動作するのに対し、トランジスタQ3及びQ4によるインバータにおいては、トランジスタQ5及びQ6を介してそれぞれ6 [V] 及び3 [V] の電源に接続される。

25 バッファ回路41A、41B、63、64、67、68においては、通常の動作状態において、これらトランジスタQ5及びQ6がそれぞれオン状態及びオフ状態に保持され、これによりトランジスタQ3及びQ4によるインバータにおいては、この場合、電源電圧6 [V] により動作して切り換え信号を各スイッチ回路32、33、60、61、65、66に出力する。これに対してディープスタ

ンバイモードにおいては、トランジスタQ5及びQ6がそれぞれオフ状態及びオン状態に動作を切り替え、これにより6[V]の電源の立ち下がりにより前段側のトランジスタQ1及びQ2によるインバータにおいては、動作を停止するのに対し、最終段のトランジスタQ3及びQ4によるインバータにおいては、電源電圧が3[V]に切り換えられて動作状態に保持される。

この状態でトランジスタQ3及びQ4によるインバータにおいては、トランジスタQ8による設定により、入力レベルが0レベルに保持され、その結果、スイッチ回路32、33、60、61、65、66の出力においては、0レベルに保持される。これにより液晶表示装置11では、表示部16に意図しない表示が表示され、液晶セル12、保持容量14に一定の電界を印加し続ける等の、電源電圧を立ち下げたことによる種々の悪影響が有効に回避される。

### (3) 実施例の効果

以上の構成によれば、電源電圧が高い側の回路ブロックからの処理結果を相補的にオンオフ動作するアクティプ素子により電源電圧の低い側に入力し、この高い側の電源電圧の立ち下がりによりこのアクティプ素子の出力を所定レベルに設定することにより、ディープスタンバイモードにおいて、一段と消費電力を少なくすることができる。

すなわちこの電源電圧が低い側の回路ブロックが、生成基準電圧を抵抗ブロックにより抵抗分圧して複数の基準電圧を生成する基準電圧発生回路と、画素の階調を示す階調データに応じて、複数の基準電圧を選択出力する基準電圧セレクタであり、相補的にオンオフ動作するアクティプ素子が、出力を抵抗ブロックに出力して、1つの処理結果により抵抗ブロックの端子電圧を切り換えることにより、生成基準電圧の極性を切り換えるスイッチ回路のアクティプ素子であることにより、例えばライン反転に係るディジタルアナログ変換処理に関して、ディープスタンバイモードにおける消費電力を一段と少なくすることができる。

また電源電圧が低い側の回路ブロックが、画素に設けられた保持容量の電極電位を切り換える駆動回路であり、相補的にオンオフ動作するアクティプ素子が、この保持容量の電極電位を切り換えるアクティプ素子であることにより、保持容量の電極電位の切り換えに関して、ディープスタンバイモードにおける消費電力

を一段と少なくすることができる。

電源電圧が低い側の回路ブロックが、液晶セルの電極電位を切り換える駆動回路であり、相補的にオンオフ動作するアクティブ素子が、この液晶セルの電極電位を切り換えるアクティブ素子であることにより、液晶セルの電極電位の切り換えについて、ディープスタンバイモードにおける消費電力を一段と少なくすることができる。

またこのようなアクティブ素子の駆動に係る電源電圧が高い側の回路ブロックについて、6 [V] による第1の電源電圧により動作して、第1の処理結果を出力する第1のインバータと、第1のインバータの出力を第2の回路ブロックに出力する第2のインバータと、第1の電源の立ち下がりにより、第2のインバータの電源電圧を第1の電源電圧から3 [V] である第2の電源電圧に切り換える電源切り替え回路46とを設けるようにし、レベル設定回路47により第2のインバータの入力レベルを設定して、アクティブ素子の出力を所定レベルに保持することにより、後段の回路ブロックにおいて種々の不都合が発生しないように、アクティブ素子の出力レベルを必要に応じて種々に設定することができ、これにより各種の不都合を防止して消費電力を低減することができる。

またこのような第1の電源電圧を内蔵の電源回路であるDC-DCコンバータで作成することにより、液晶表示装置の外部構成を簡略化することができる。

#### (4) 他の実施例

なお上述の実施例においては、バッファ回路において、最終段のインバータの電源電圧を3 [V] に切り換え、このインバータ入力をレベル設定回路により設定する場合について述べたが、本発明はこれに限らず、例えばこのインバータ出力のレベルを直接レベル設定回路により設定する場合等、レベル設定方法にあっては種々の手法を適用することができる。

また上述の実施例においては、6 [V] 及び3 [V] により動作する場合について述べたが、本発明はこれに限らず、複数系統の電源電圧により動作する場合に広く適用することができる。

また上述の実施例においては、液晶表示装置において、ディジタルアナログ変換処理、プリチャージの処理に係る回路ブロックで異なる電源電圧による回路ブ

ロックからの処理結果を入力して処理する場合について述べたが、本発明はこれに限らず、例えばシフトレジスタ回路等において、電源電圧の異なる回路プロック間で階調データを送受する場合等にも広く適用することができる。

また上述の実施例においては、ガラス基板上に表示部等を作成してなる TFT

5 液晶によるフラットディスプレイ装置に本発明を適用する場合について述べたが、本発明はこれに限らず、CGS (Continuous Grain Silicon) 液晶等、各種の液晶表示装置、さらにはEL (Electro Luminescence) 表示装置等、種々のフラットディスプレイ装置に広く適用することができる。またこのようなフラットディスプレイ装置に限らず、TFT等による種々の集積回路に広く適用することができる。

10 できる。

#### 産業上の利用可能性

本発明は、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。

## 請求の範囲

1. マトリックス状に画素を配置してなる表示部と、前記表示部を駆動する駆動回路とを一体に基板上に形成してなるフラットディスプレイ装置において、

5 前記駆動回路は、

第1の電源電圧により動作する第1の回路ブロックと、前記第1の回路ブロックによる処理結果を処理する、前記第1の電源電圧より低い第2の電源電圧により動作する第2の回路ブロックとを有し、

前記第2の回路ブロックは、

10 相補的にオンオフ動作するアクティブ素子に、前記第1の回路ブロックの1つの処理結果の入力を受け、

前記第1の回路ブロックは、

前記第1の電源電圧の立ち下がりにより、前記アクティブ素子の出力を所定レベルに保持するように、前記1つの処理結果のレベルを設定するレベル設定回路  
15 を有する

ことを特徴とするフラットディスプレイ装置。

2. 前記第2の回路ブロックが、

生成基準電圧を抵抗ブロックにより抵抗分圧して複数の基準電圧を生成する基  
20 準電圧発生回路と、

前記画素の階調を示す階調データに応じて、前記複数の基準電圧を選択出力する基準電圧セレクタであり、

前記相補的にオンオフ動作するアクティブ素子が、

前記出力を前記抵抗ブロックに出力して、前記1つの処理結果により前記抵抗  
25 ブロックの端子電圧を切り換えることにより、前記生成基準電圧の極性を切り換えるスイッチ回路のアクティブ素子である

ことを特徴とする請求の範囲第1項に記載のフラットディスプレイ装置。

3. 前記第2の回路ブロックが、

前記画素に設けられた保持容量の電極電位を切り換える駆動回路であり、

前記相補的にオンオフ動作するアクティプ素子が、

前記出力を前記保持容量に出力して、前記1つの処理結果により前記電極電位を切り換えるアクティプ素子である

5 ことを特徴とする請求の範囲第1項に記載のフラットディスプレイ装置。

4. 前記第2の回路ブロックが、

前記画素の液晶セルの電極電位を切り換える駆動回路であり、

前記相補的にオンオフ動作するアクティプ素子が、

10 前記出力を前記液晶セルに出力して、前記1つの処理結果により前記電極電位を切り換えるアクティプ素子である

ことを特徴とする請求の範囲第1項に記載のフラットディスプレイ装置。

5. 前記第1の回路ブロックは、

15 前記第1の電源電圧により動作して、前記第1の処理結果を出力する第1のインバータと、

前記第1のインバータの出力を前記第2の回路ブロックに出力する第2のインバータと、

前記第1の電源の立ち下がりにより、前記第2のインバータの電源電圧を前記20 第1の電源電圧から前記第2の電源電圧に切り換える電源切り換え回路とを有し

、  
前記レベル設定回路は、

前記第2のインバータの入力レベルの設定により、前記アクティプ素子の出力を所定レベルに保持する

25 ことを特徴とする請求の範囲第1項に記載のフラットディスプレイ装置。

6. 前記第2の電源電圧による電源より、前記第1の電源電圧による電源を生成する電源回路を有し、

前記第2の電源電圧による電源が、外部より供給される電源である

ことを特徴とする請求の範囲第1項に記載のフラットディスプレイ装置。

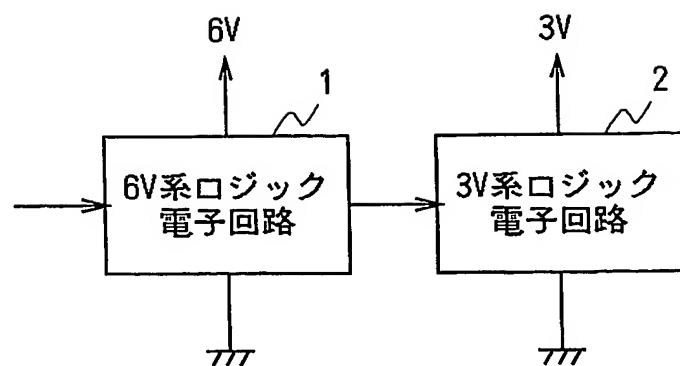
7. 第1の電源電圧により動作する第1の回路ブロックと、前記第1の回路ブロックによる処理結果を処理する、前記第1の電源電圧より低い第2の電源電圧により動作する第2の回路ブロックとを有してなる集積回路であって、  
5 前記第2の回路ブロックは、

相補的にオンオフ動作するアクティブ素子に、前記第1の回路ブロックの1つの処理結果の入力を受け、

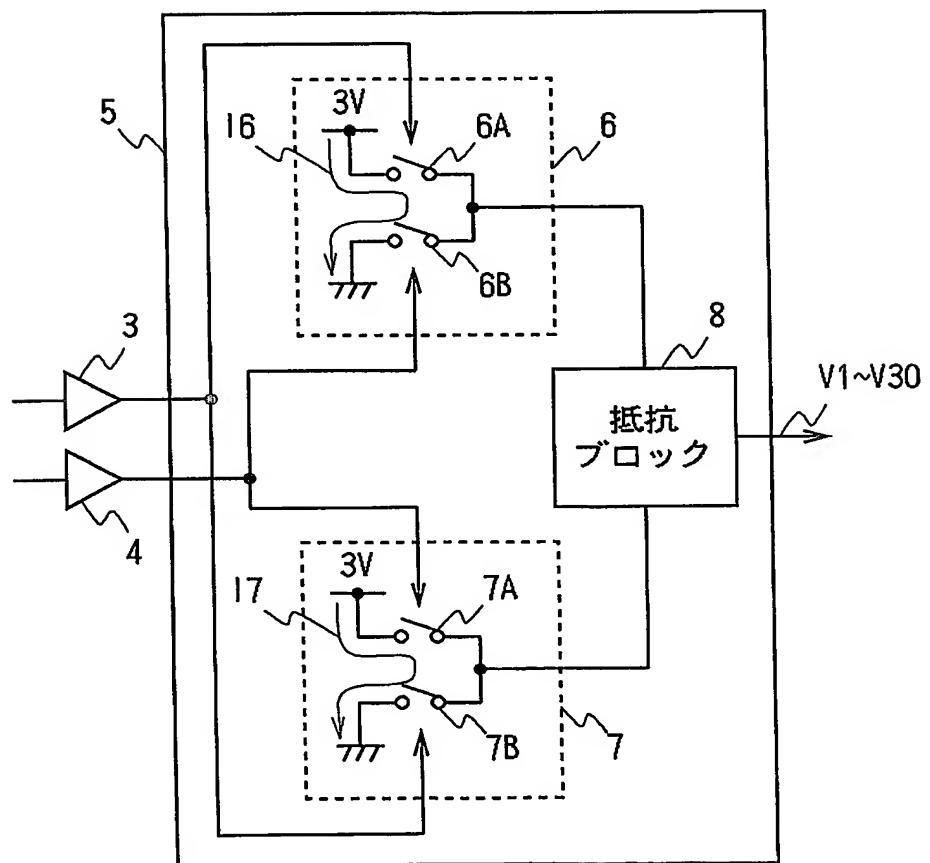
前記第1の回路ブロックは、

10 前記第1の電源電圧の立ち下がりにより、前記アクティブ素子の出力を所定レベルに保持するように、前記1つの処理結果のレベルを設定するレベル設定回路を有する

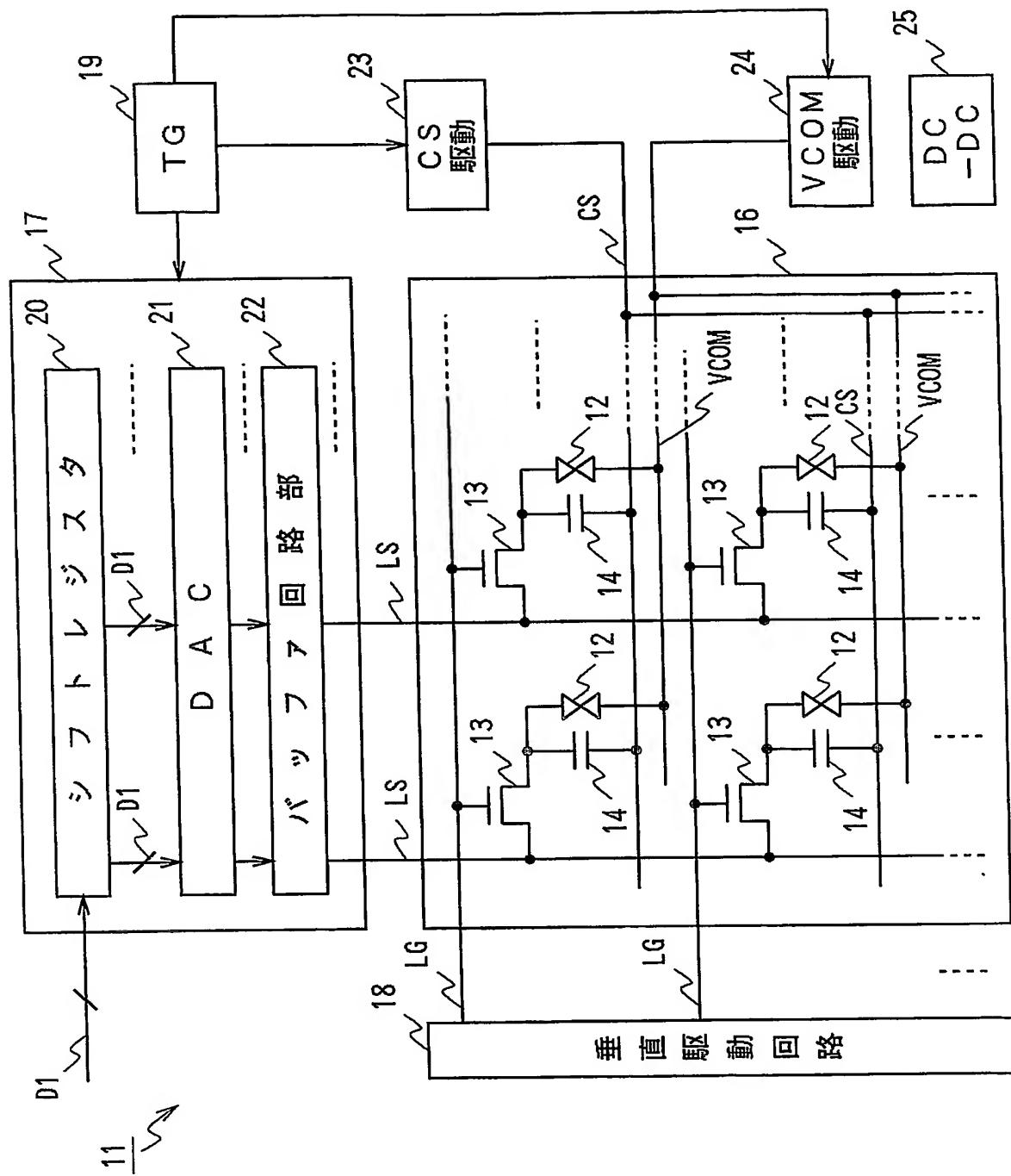
ことを特徴とする集積回路。



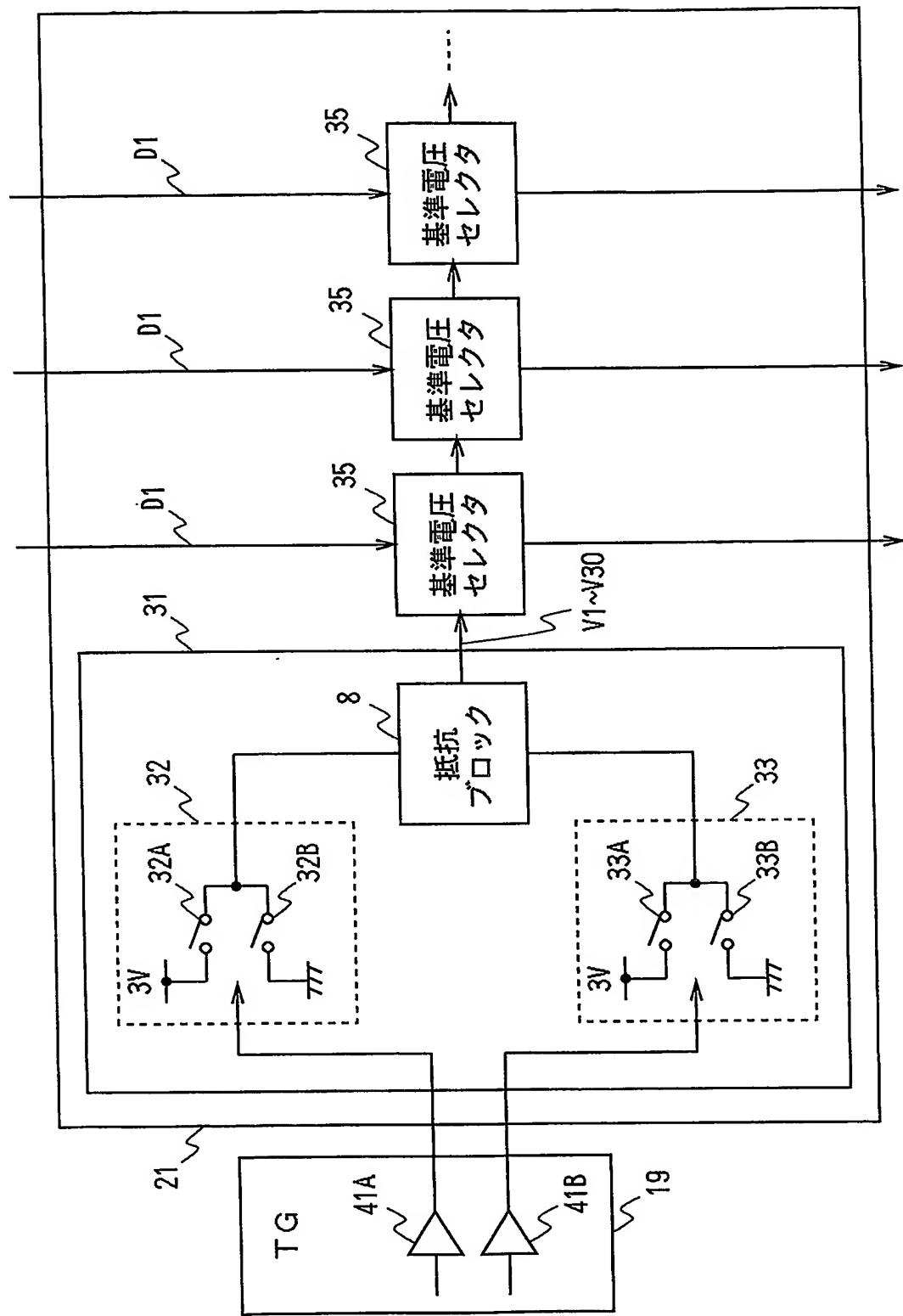
第1図



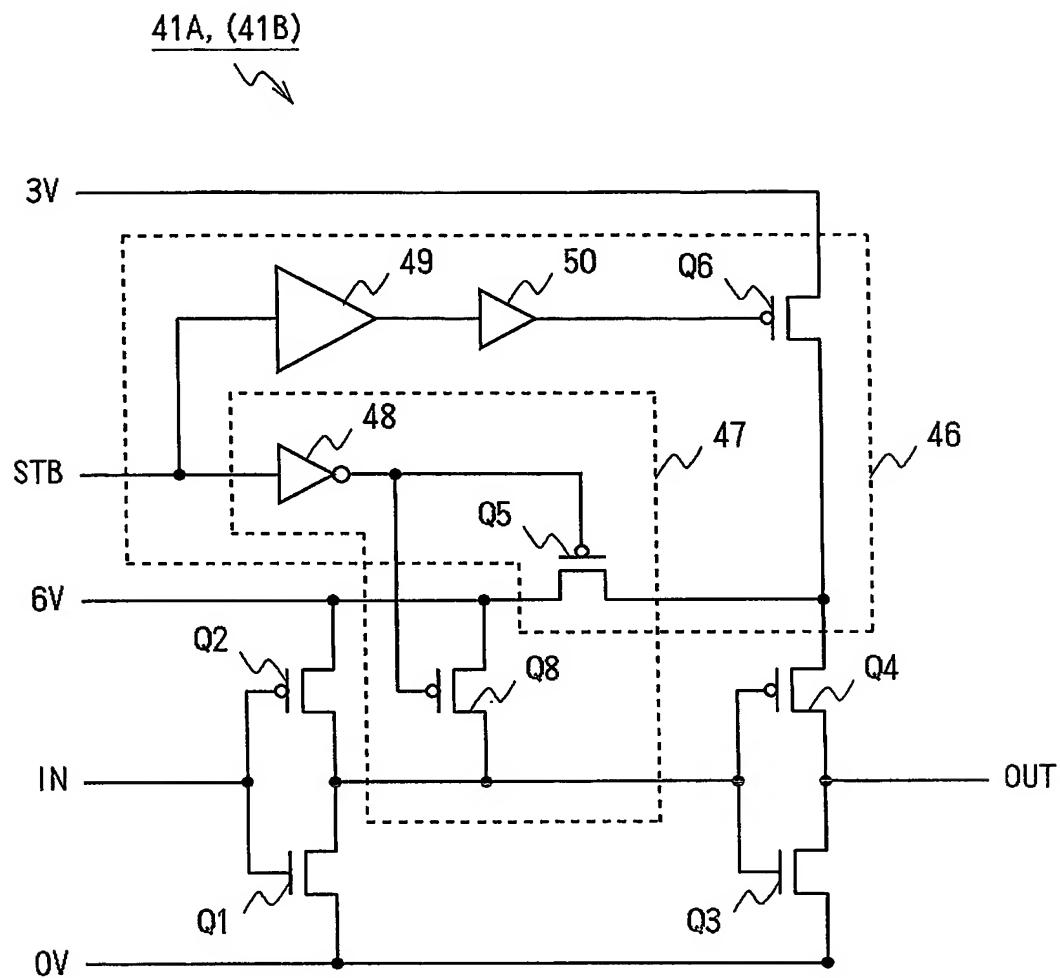
第2図



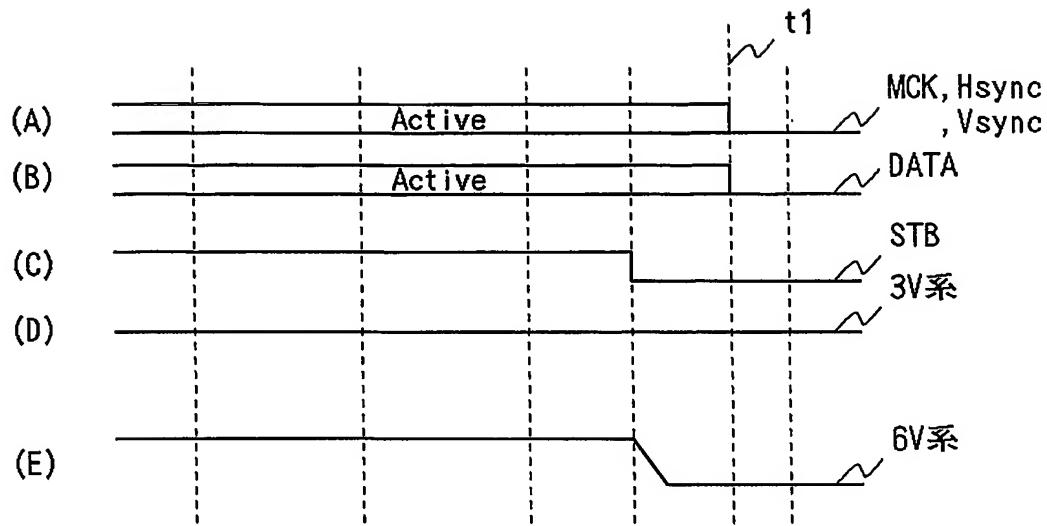
第3回



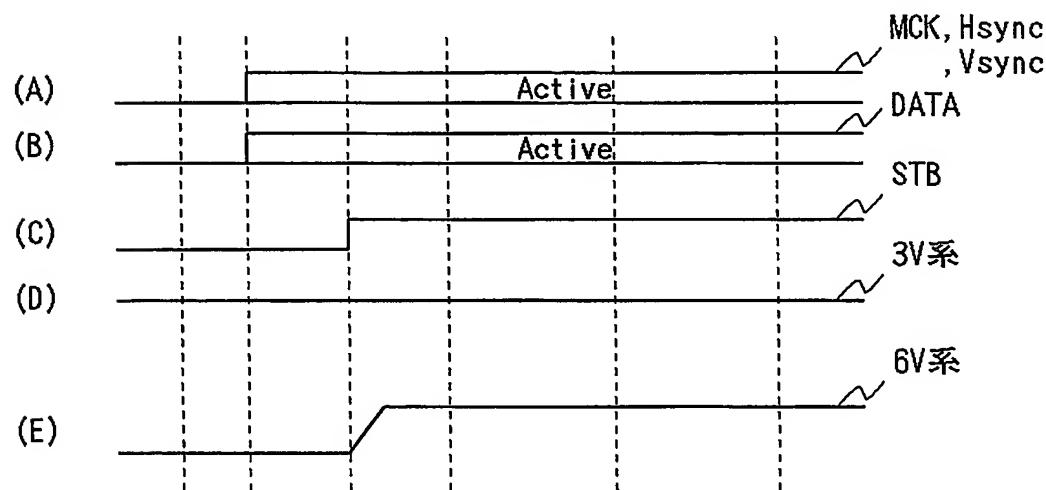
第4圖



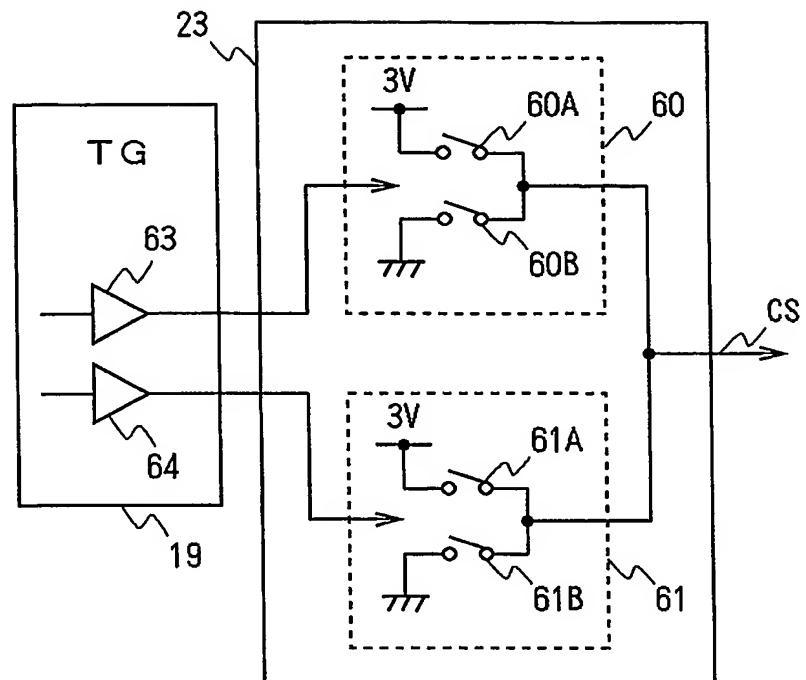
第5図



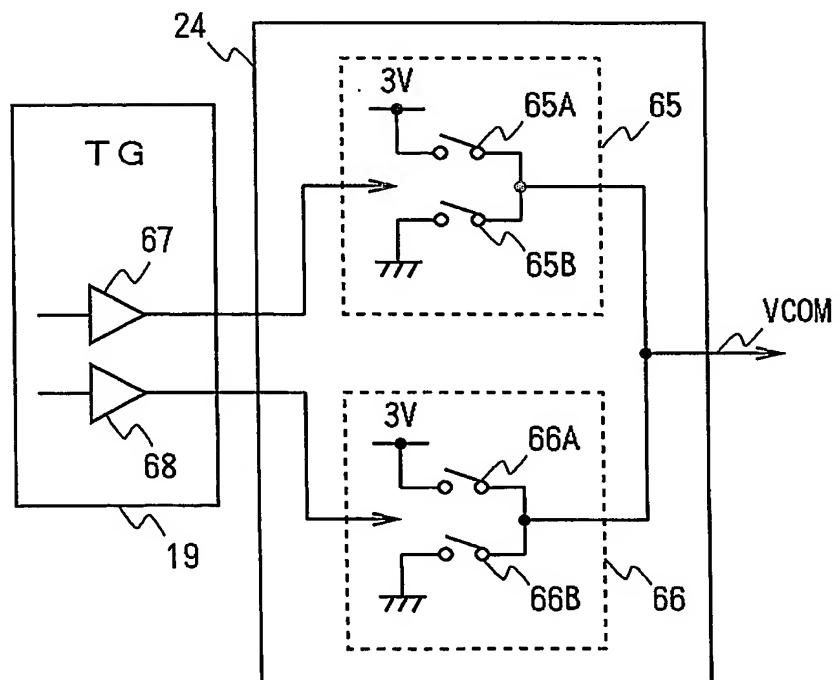
第6図



第7図



第8図



第9図

## 符号の説明

1、2 ……電子回路、3、4、41A、41B、50、63、64、67、68 ……バッファ回路、5、31 ……基準電圧発生回路、6、6A、6B、7、7A、7B、32、32A、32B、33、33A、33B、60、60A、60B、61、61A、61B、65、65A、65B、66、66A、66B ……スイッチ回路、8 ……抵抗ブロック、11 ……液晶表示装置、12 ……液晶セル、13、Q1～Q8 ……トランジスタ、14 ……保持容量、16 ……表示部、17 ……水平駆動回路、18 ……垂直駆動回路、19 ……タイミング発生回路、20 ……シフトレジスタ、21 ……デジタルアナログ変換回路、22 ……バッファ回路部、23 ……CS駆動回路、24 ……VCOM駆動回路、25 ……DC-DCコンバータ、31 ……基準電圧発生回路、35 ……基準電圧セレクタ、46 ……電源切り換え回路、47 ……レベル設定回路、48 ……インバータ、49 ……レベルシフト回路

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009905

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G09G3/36, 3/20, G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/36, 3/20, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-83944 A (NEC IC Miconsystem Kabushiki Kaisha), 30 March, 2001 (30.03.01), Par. Nos. [0030] to [0053]; Figs. 1 to 7 & EP 1083540 A2 & TW 479217 A & KR 2001030350 A	1, 3-7
Y	JP 2000-321642 A (Fuji Photo Film Co., Ltd.), 24 November, 2000 (24.11.00), Par. No. [0020] (Family: none)	1, 3-7
A	JP 7-271323 A (Hitachi, Ltd.), 20 October, 1995 (20.10.95), Par. No. [0023] (Family: none)	2

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
04 October, 2004 (04.10.04)Date of mailing of the international search report  
19 October, 2004 (19.10.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/009905

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-210492 A (Matsushita Electric Industrial Co., Ltd.), 21 August, 1990 (21.08.90), Full text; all drawings (Family: none)	1-7

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C1.7 G09G3/36, 3/20, G02F1/133

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C1.7 G09G3/36, 3/20, G02F1/133

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-83944 A (日本電気アイシーマイコンシステム株式会社), 2001. 03. 30, 段落【0030】～【0053】，図1～7 & EP 1083540 A2 & TW 479217 A & KR 2001030350 A	1, 3-7
Y	JP 2000-321642 A (富士写真フィルム株式会社) 2000. 11. 24, 段落【0020】 (ファミリーなし)	1, 3-7

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

## 国際調査を完了した日

04. 10. 2004

## 国際調査報告の発送日

19.10.2004

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官 (権限のある職員)

濱本 穎広

2G 9509

電話番号 03-3581-1101 内線 3226

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP 7-271323 A (株式会社日立製作所) 1995. 1 0. 20, 段落【0023】 (ファミリーなし)	2
A	JP 2-210492 A (松下電器産業株式会社), 199 0. 08. 21, 全文全図 (ファミリーなし)	1-7